

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-41951

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)2月23日

G 06 F 11/30

3 1 0

7343-5B

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 昭61-186545

⑰ 出 願 昭61(1986)8月7日

⑱ 発 明 者 小 山 博 群馬県邑楽郡大泉町大字坂田180番地 東京三洋電機株式会社内

⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地

⑳ 代 理 人 弁理士 河野 登夫

明 細 書

1. 発明の名称 マイクロコンピュータ

2. 特許請求の範囲

1. その全体を初期状態にリセットするイニシャルリセット信号を電源投入時に発生するパワーオンクリア回路と、

該パワーオンクリア回路が発生するイニシャルリセット信号によりセットされ、プログラムの実行開始時までセット状態であることが検取られてリセットされるパワーオンフラグの発生回路とを備えたマイクロコンピュータにおいて、

前記パワーオンフラグがセット状態である間にのみウォッチドッグ選択信号を出力する回路と、

該回路からウォッチドッグ選択信号が与えられることにより、プログラムの処理時間が所定時間以上である場合にオーバーフロー信号を発生するウォッチドッグタイマとして前記タイマ回路を機能させるウォッチドッグイネ

ーブル信号を出力する回路と

を備えたことを特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はウォッチドッグ機能、即ちプログラムの暴走状態あるいは無限ループからの脱出のための機能を備えたマイクロコンピュータに関する。

(従来技術)

マイクロコンピュータシステムにおいては、ユーザが自らプログラムを作成しこれを使用することが多い。このようなユーザ自ら作成したプログラムの使用に際しては、バグの存在によるプログラムの暴走、あるいはループの解除条件が適正でないことによる無限ループ等が生じ易い。そこで、所定時間内にプログラム全体、あるいはプログラムを適宜に分割したブロックそれぞれの処理が終了しない場合にはプログラムの暴走または無限ループの発生と見做してシステム全体をイニシャルリセットさせる信号を出力するような、または所

定のステップへジャンプさせるマスク不可能な割込み信号を発生するようなウォッチドッグ機能を備えたマイクロコンピュータが普及している。

(発明が解決しようとする問題点)

ところで、従来のウォッチドッグ機能を有するマイクロコンピュータでは、この機能専用のタイマ回路、即ちウォッチドッグタイマを備えている。このウォッチドッグタイマは、プログラム全体あるいはプログラムを適宜に分割したブロックそれぞれの実行開始時にセットされ、実行終了時にリセットされるのであるが、このウォッチドッグタイマがリセットされないままに所定時間を計時した場合には、イニシャルリセット信号またはマスク不可能な割込み信号が発生され、これによりプログラムの暴走の停止、無限ループからの脱出を行っていた。このため、ウォッチドッグ機能を使用しない場合には、そのためウォッチドッグタイマは無駄になるという不経済な面がある。

このような無駄を回避する方策としては、たとえばウォッチドッグタイマとしての機能を含む複

数の用途にプログラムによりソフトウェア的に切換え得るようなタイマ回路の構成が考えられる。しかしこのようなプログラムによりタイマ回路をウォッチドッグタイマから他の用途に切換え得る構成を採る場合、プログラムの暴走によりタイマ回路の用途がウォッチドッグタイマから他の用途に切り換わる可能性がある。従って、ウォッチドッグ機能を使用している場合に、ウォッチドッグタイマとして使用しているタイマ回路が他の用途に使用されるような状態にプログラムが暴走してしまうと、せっかくのウォッチドッグ機能が全く無意味になってしまう。

他の方法として、たとえばタイマ回路を一旦ウォッチドッグタイマとして使用するように設定した場合には、他の用途へのプログラムによる切換えが行えないような構成とすることが考えられる。しかし、このようなタイマ回路の動作に特別の規定を設ける構成は、タイマ回路の使い勝手を悪くし、またプログラミング及びデバッグ時に種々の問題を生じ易くなる。

本発明は以上のような事情に鑑みてなされたものであり、ウォッチドッグタイマとして使用されるタイマ回路が、プログラムの暴走時にウォッチドッグタイマとして機能しなくなることを回避し、またウォッチドッグ機能を使用しない場合にはタイマ回路を他の用途に自由に使用可能なマイクロコンピュータの提供を目的とする。

(問題点を解決するための手段)

本発明は、その全体を初期状態にリセットするイニシャルリセット信号を電源投入時に発生するパワーオンクリア回路と、該パワーオンクリア回路が発生するイニシャルリセット信号によりセットされ、プログラムの実行開始時までにはセット状態であることが検取られてリセットされるパワーオンフラグの発生回路とを備えたマイクロコンピュータにおいて、前記パワーオンフラグがセット状態である間のみウォッチドッグ選択信号を出力する回路と、該回路からウォッチドッグ選択信号が与えられることにより、プログラムの処理時間が所定時間以上である場合にオーバーフロー信号

を発生するウォッチドッグタイマとして前記タイマ回路を機能させるウォッチドッグイネーブル信号を出力する回路とを備えたことを特徴とする。

(作用)

本発明のマイクロコンピュータでは、電源投入直後においてのみウォッチドッグ機能を使用するか否かの選択が可能になり、ウォッチドッグ機能が使用されない場合にはタイマ回路を他の用途に何等の制約無しに使用可能である。

(実施例)

以下、本発明をその実施例を示す図面に基いて詳述する。

第1図は本発明に係るマイクロコンピュータの要部の構成を示すブロック図である。

図中1は電源線であり、電源電圧 V_{cc} が印加されている。

2は一端を電源線1に接続された手動操作自動復帰式のイニシャルリセットスイッチであり、その他端はORゲート3の第1の入力端子に接続されている。従って、イニシャルリセットスイッチ2

がオン操作されると電源電圧 V_{cc} のパルス信号が ORゲート 3 を介してイニシャルリセット信号 IRS として出力される。

図中 4 はパワーオンクリア回路であり、本発明装置のメインスイッチが投入された場合にハイレベルのパワーオンクリア信号 POC を ORゲート 3 の第 2 の入力端子に出力する。なお、この ORゲート 3 に与えられたパワーオンクリア信号 POC はイニシャルリセット信号 IRS として ORゲート 3 から出力される。またこのパワーオンクリア信号 POC は R-S フリップフロップであるパワーオンフラグ発生回路 5 のセット端子 S 及び R-S フリップフロップ 7 のリセット端子 R に与えられている。

パワーオンフラグ発生回路 5 は上述の如く R-S フリップフロップであり、そのセット端子 S にパワーオンクリア回路 4 の出力であるパワーオンクリア信号 POC が、リセット端子 R に POFリセット信号が与えられ、出力端子 Q は ANDゲート 6 の第 1 の入力端子及びパワーオンフラグ信号出力ゲート 10 に接続されている。

従って、ANDゲート 6 はハイレベルのパワーオンフラグ信号 SPOF が与えられている間にのみ、換言すればパワーオンフラグ POF がセット ("1") されている間にのみハイレベルのウォッチドッグ機能選択信号 WDSE をフリップフロップ 7 のセット端子 S に出力する。

フリップフロップ 7 は、既述の如く、そのセット端子 S には ANDゲート 6 を介してウォッチドッグ機能選択信号 WDSE が、リセット端子 R にはパワーオンクリア回路 4 の出力であるパワーオンクリア信号 POC がそれぞれ与えられ、出力端子 Q は ANDゲート 8 の一方の入力端子に接続されている。

従って、パワーオンフラグ発生回路 5 から出力されているパワーオンフラグ信号 SPOF がハイレベルである間にのみハイレベルのウォッチドッグ機能選択信号 WDSE が入力されると、ANDゲート 6 からフリップフロップ 7 のセット端子 S にハイレベルの信号 (ウォッチドッグ機能選択信号 WDSE) が与えられてフリップフロップ 7 がセットされる。これにより、フリップフロップ 7 の出力端子 Q か

ら、パワーオンクリア回路 4 からパワーオンクリア信号 POC が出力されると、パワーオンフラグ発生回路 5 はセットされて (換言すれば、パワーオンフラグ POF がセットされて) その出力端子 Q の出力であるパワーオンフラグ信号 SPOF はハイレベルに転じる。またプログラムの実行開始時のイニシャルルーチンにおいて一旦パワーオンフラグ POF がセット ("1") であることが検取されると、ハイレベルの POFリセット信号 RPOF が発生されてこれがパワーオンフラグ発生回路 5 のリセット端子 R に与えられる。これにより、パワーオンフラグ発生回路 5 はリセットされてその出力端子 Q の出力であるパワーオンフラグ信号 SPOF はローレベルに転じる。

ANDゲート 8 は、その一方の入力端子には上述の如くパワーオンフラグ発生回路 5 の出力であるパワーオンフラグ信号 SPOF が、他方の入力端子にはウォッチドッグ機能選択信号 WDSE がそれぞれ与えられており、出力端子はフリップフロップ 7 のセット端子 S に接続されている。

らはハイレベルのウォッチドッグイネーブル信号 WENE が出力される。

このフリップフロップ 7 の出力、即ちウォッチドッグイネーブル信号 WENE は前述の如く ANDゲート 8 の一方の入力端子に与えられているが、フリップフロップ 7 がリセットされるのはそのリセット端子 R にハイレベルの信号が与えられた場合、具体的にはパワーオンクリア回路 4 からパワーオンクリア信号 POC が出力された場合のみであるため、電源が継続して投入されている間はフリップフロップ 7 のセット状態は継続される。

図中 9 はタイマ回路であり、図示しない設定回路により計時値を設定することが可能であり、またこの設定された計時値の計時が完了した場合にハイレベルのタイマオーバーフロー信号 TOF を前述の ANDゲート 8 の他方の入力端子に出力する。そして、ANDゲート 8 の出力は前述の ORゲート 3 の第 3 の入力端子に接続されている。

従って、タイマ回路 8 から出力されるタイマオーバーフロー信号 TOF は、フリップフロップ 7 から

ハイレベルのウォッチドッグイネーブル信号WENBが出力されている場合、即ちパワーオンフラグPOFがセット('1')されていてパワーオンフラグ発生回路5の出力であるパワーオンフラグ信号POFがハイレベルである間に、ハイレベルのウォッチドッグ機能選択信号WDSBが発生されてANDゲート6に与えられた場合にのみANDゲート8を介してORゲート3へ出力されてイニシャルリセット信号IRSとなる。換言すれば、フリップフロップ7がセット状態の場合にのみタイマ回路9はウォッチドッグタイマとして機能する。

なお、ゲート10はパワーオンフラグ信号SPOFをバス11へ出力するためのゲートである。

以上のような構成の本発明のマイクロコンピュータの動作について、第2及び3図のタイミングチャートに従って以下に説明する。

ウォッチドッグ機能が選択された場合には第2図のタイミングチャートに従って動作する。

まず、電源が投入されると(a)パワーオンクリア回路4からハイレベルのパワーオンクリア信号POC

トされる、即ちパワーオンフラグPOFがリセット('0')される(a)。しかし、フリップフロップ7はセット状態を維持しているため、その出力端子Qからはハイレベルのウォッチドッグイネーブル信号WENAが継続して出力されている(b)。これによりタイマ回路9はウォッチドッグタイマとして機能する。

ところで、タイマ回路9はプログラムの実行が開始されると所定の時間が設定されて計時を開始する。そして、タイマ回路9はそのプログラム全体が、あるいはそのプログラムを適宜に分割した各ブロックそれぞれが終了するとリセットされる。しかし、プログラムの実行中にプログラムの暴走あるいは無限ループが発生したような場合には、このリセットが行われずに所定時間の計時が完了するので、この場合にはタイマ回路9はタイマオーバフロー信号TOPをANDゲート8の他方の入力端子に出力する(c)。この際、上述の如くANDゲート8の一方の入力端子にはハイレベルのウォッチドッグイネーブル信号WENAが与えられている

が出力され(b)、これがORゲート3を介してイニシャルリセット信号IRSとして出力される(a)、またパワーオンフラグ発生回路5のセット端子Sに与えられてパワーオンフラグ発生回路5をセットするのでパワーオンフラグ信号SPOFがハイレベルに転じる(b)。更にフリップフロップ7も初期リセットされる。そして、このパワーオンフラグ信号SPOFがハイレベルを維持している間に、ハイレベルのウォッチドッグ機能選択信号WDSBが与えられると(c)、ANDゲート6出力がハイレベルに転じてフリップフロップ7がセットされ、ハイレベルのウォッチドッグイネーブル信号WENAが出力され、ANDゲート8の一方の入力端子に入力される(f)。

そして、たとえばプログラムの実行が開始されそのイニシャルルーチンにおいて、パワーオンフラグ信号SPOFがハイレベルであること、即ちパワーオンフラグPOFのセット状態が検取されると、POFリセット信号RPOFが発生され、パワーオンフラグ発生回路5のリセット端子Rに与えられる(d)、これによりパワーオンフラグ発生回路5がリセッ

ので、ANDゲート8出力はハイレベルに転じてORゲート3の第3の入力端子に与えられる。これにより、ORゲート3からはハイレベルのイニシャルリセット信号IRS信号が出力される(e)。

なお、イニシャルリセットスイッチ2がオン操作された場合(f)にも、ORゲート3からイニシャルリセット信号IRSが出力される(e)ことは勿論である。

一方、ウォッチドッグ機能が選択されない場合には第3図のタイミングチャートに従って動作する。即ち、ウォッチドッグ機能が選択されない場合には、ハイレベルのウォッチドッグ機能選択信号WDSBが発生されないため、フリップフロップ7がセットされることはなく、従ってハイレベルのウォッチドッグイネーブル信号WENAが出力されることもない(f)。このため、仮にタイマ回路9からハイレベルの信号が出力されるような事態が発生してANDゲート8にタイマオーバフロー信号TOPとして与えられたとしても、ANDゲート8出力はローレベルを維持するので、ORゲート3からイニ

シャルリセット信号 IRS が出力されることはない (c)。

なお、上記実施例では、ウォッチドッグタイマとしてのタイマ回路 9 がオーバーフロー信号を出力した場合に、イニシャルリセット信号 IRS が発生されるように構成してあるが、代わりにマスク不可能な (アンマスカブル) 初込み信号を出力してプログラムの実行を所定のステップにジャンプさせる構成としてもよいことは勿論である。

(効果)

以上のように本発明では、電源の投入時のみタイマ回路にウォッチドッグタイマとしての機能を付与するか否かを選択し得るので、ウォッチドッグ機能が選択された場合には、たとえプログラムが暴走した場合にもタイマ回路はウォッチドッグタイマとしての機能を確実に維持し、またウォッチドッグ機能が選択されなかった場合にはタイマ回路のウォッチドッグタイマとしての機能を願慮する必要なしにプログラミングあるいはデバッグ等が行えるので、非常に使い勝手のよいウォッ

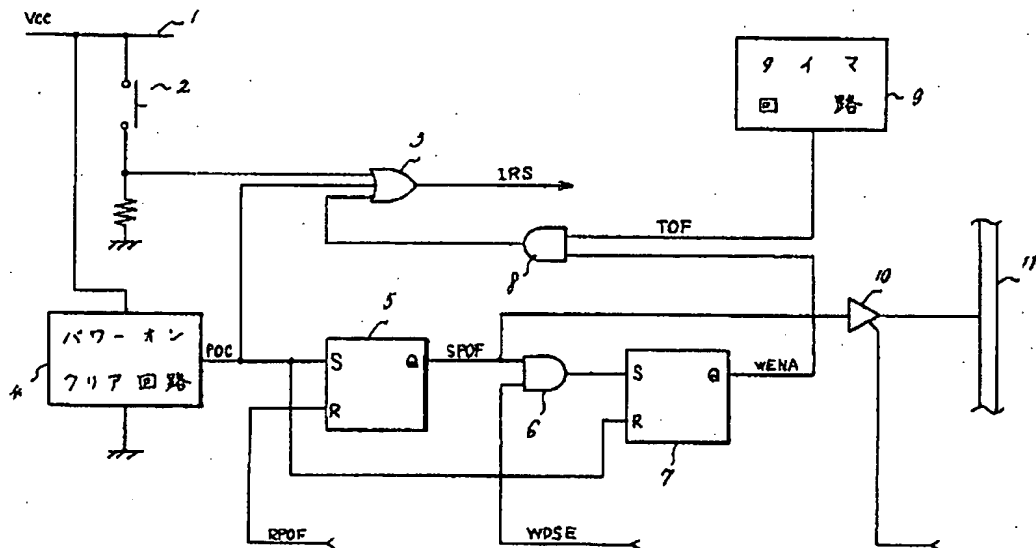
チドッグ機能を有するマイクロコンピュータが実現される。

4. 図面の簡単な説明

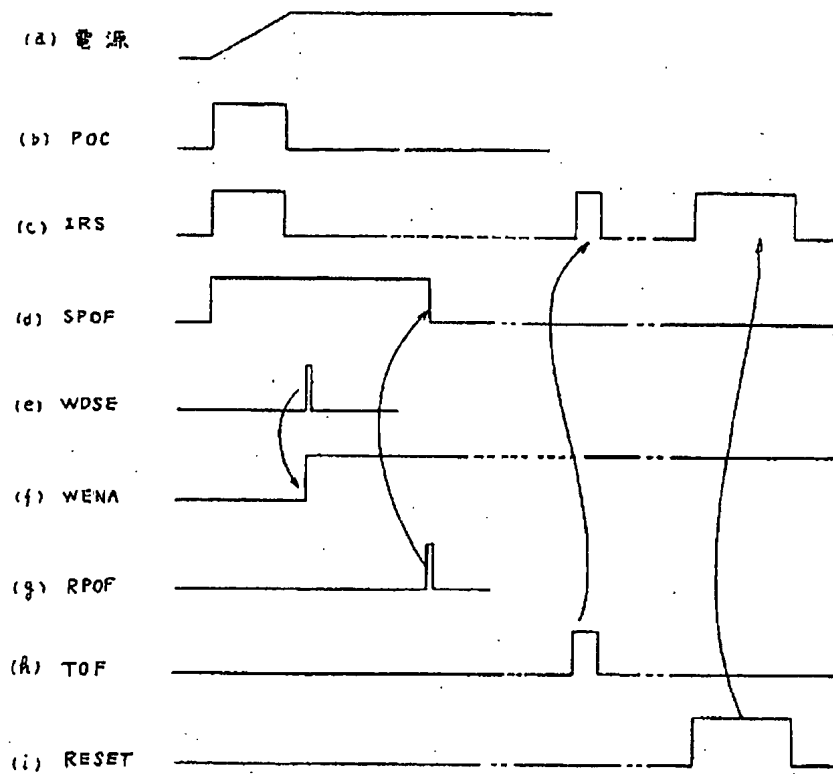
第 1 図は本発明のマイクロコンピュータの要部の構成を示すブロック図、第 2、3 図はその動作説明のためのタイミングチャートである。

2 … イニシャルリセットスイッチ 4 … パワーオンクリア回路
5 … パワーオンフラグ発生回路 6 … ANDゲート
7 … フリップフロップ 9 … タイマ回路

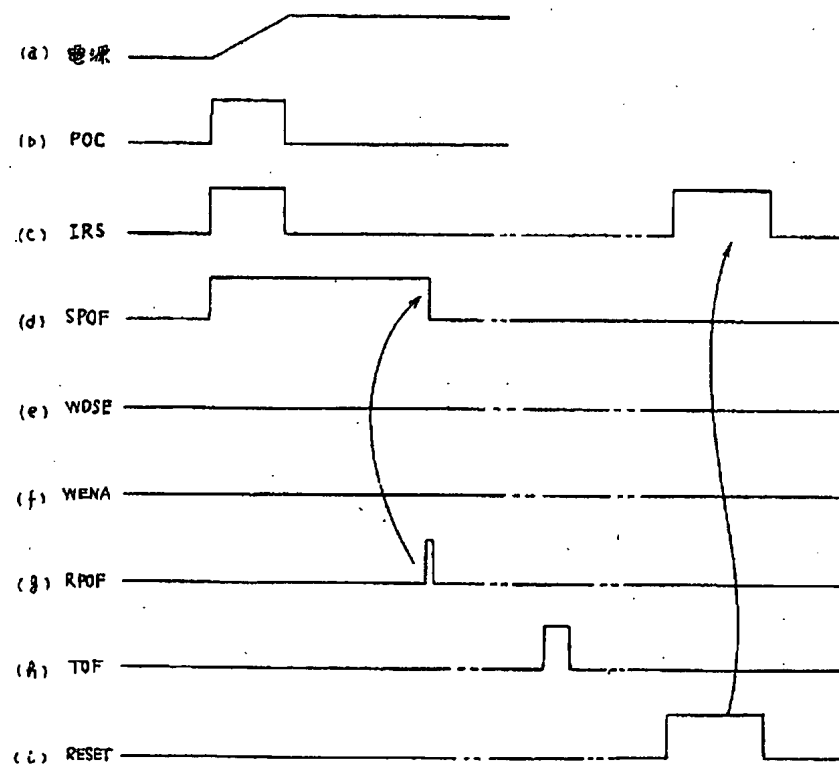
特 許 出 願 人 三洋電機株式会社 外 1 名
代 理 人 弁 理 士 河 野 登 夫



第 1 図



第 2 図



第 3 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.